

Schaltwerke

Aufgabe 1

- Konstruiere folgende Schaltung mit Logisim:
 - Platziere ein OR-Gatter
 - Platziere einen Eingangspin und verbinde ihn mit dem OR-Gatter
 - Verbinde des Ausgang des OR-Gatters mit dem zweiten Eingang des OR-Gatter
- Teste die Schaltung

- Die Schaltung zeigt ein Speicherverhalten
 - Nachdem ein Mal eine 1 anlag, bleibt der Ausgang des OR-Gatters auf 1
- Dieses Verhalten wird ausgelöst durch die Rückkopplung des Ausgangs auf einen Eingang

- Schaltnetz:
 - Direkte Abbildung einer aussagenlogischen Funktion durch elektronische Bauteile
 - Keine Rückkopplung, kein Speicherverhalten . . .
- Schaltwerk:
 - Mindestens ein Ausgang auf einen Eingang rückgekoppelt
 - Die Schaltung erhält ein "Gedächtnis"

- Problem unserer “Speichers” aus Aufgabe 1:
 - Einmal 1, immer 1...
- Gewünscht:
 - Möglichkeit zum Zurücksetzen

Aufgabe 2

- Erweitere die Schaltung aus Aufgabe 1 um einen weiteren Pin
 - Sobald an diesem Pin 1 anliegt, soll das Ausgangssignal auf 0 zurück gesetzt werden, falls es 1 war

RS-Flipflops (1)

- Die realisierte Schaltung ist ein sogenanntes RS-Flipflop
 - Die Eingänge R (Reset) und S (Set) bestimmen den Wert des Ausgangs Q
- Wahrheitstabelle:

R	S	Q _{neu}
0	0	Q _{alt}
0	1	1
1	0	0
1	1	-

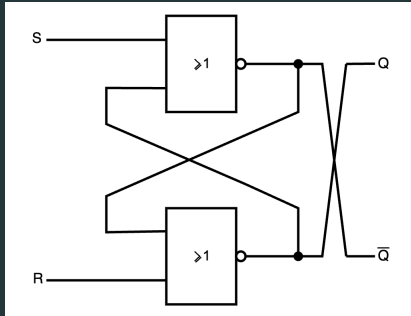
- Wir kennen zahlreiche aussagenlogische Operationen (\wedge , \vee , \neg , XOR, ...)
- Vollständige Basis: Minimale Teilmenge dieser Operationen, mit der sich jede aussagenlogische Funktion darstellen lässt

Vollständige Basis (2)

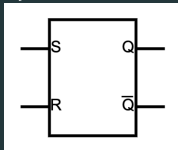
- Schon bekannt: $\{\wedge, \vee, \neg\}$ ist eine vollständige Basis, denn:
 1. jede aussagenlogische Funktion ist als Wahrheitstabelle darstellbar
 2. aus einer Wahrheitstabelle können wir direkt KDNF oder KKNF ablesen
- Weitere vollständige Basen:
 - $\{\wedge, \neg\}$
 - $\{\vee, \neg\}$
 - $\{\text{XOR}, \wedge\}$
 - $\{\text{NAND}\}$
 - $\{\text{NOR}\}$
- Meist realisiert man RS-Flipflops mit NOR- oder NAND-Gattern

RS-Flipflops (2)

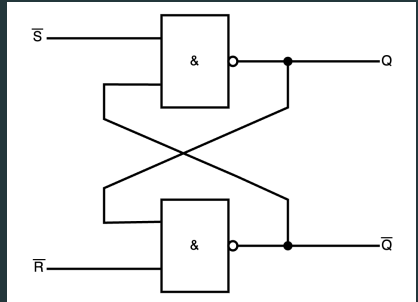
Aufbau mit NOR-Gattern:



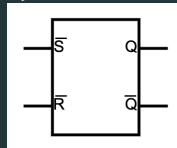
• Symbol:



Aufbau mit NAND-Gattern:



• Symbol:



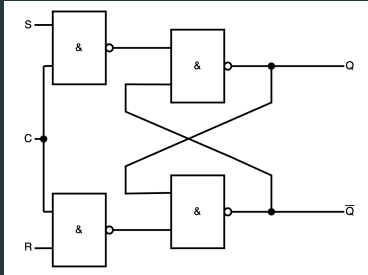
Aufgabe 3

- Realisiere das RS-Flipflop mit NOR-Gattern **und** das RS-Flipflop mit NAND-Gattern mit Logisim
- Teste die Schaltung

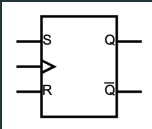
- Bisher: Asynchrone Schaltwerke
 - Keine Synchronisation zwischen Bauteilen
 - Jede Änderung am Eingang eines Flipflops wirkt sich sofort auf den Ausgang aus
- Oft ist gewünscht, dass ein Flipflop zu einem genau(er) definierten Zeitpunkt seinen Wert ändert
- Daher: Synchrone Schaltwerke
 - Einführung eines Taktsignals C (wechselt periodisch zwischen 0 und 1)

RS-Flipflop mit Takteingang

Aufbau mit NAND-Gattern:



• Symbol:



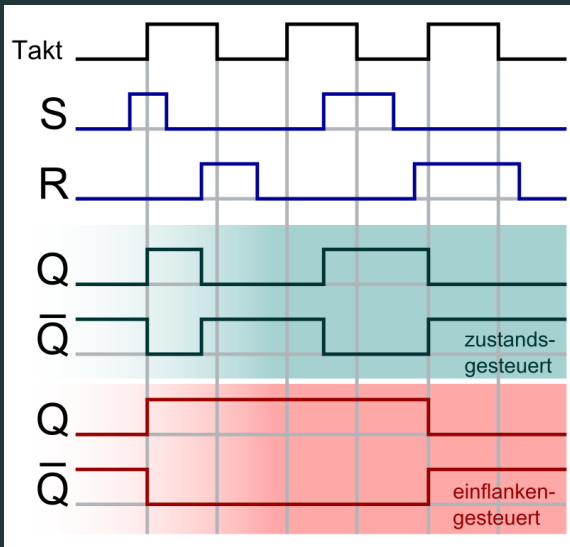
Am Eingang C liegt das Taktsignal an

Aufgabe 4

- Erweitere das NAND-basierte Flipflop aus Aufgabe 3 zu einem RS-Flipflop mit Takteingang
- Platziere einen Taktgeber (Bauteil “Takt”) und verbinde ihn mit dem Takteingang
- Analysiere das Verhalten des RS-Flipflops
 - Wie beeinflusst das Taktsignal das Verhalten des Flipflops?

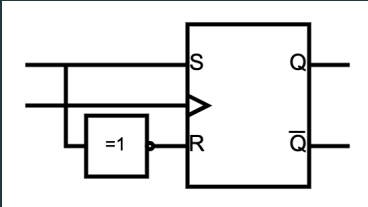
- Das so realisierte Flipflop ist **pegelgesteuert**
 - Ist das Taktsignal 1 ist, funktionieren die Eingänge R und S wie oben beschrieben
 - Ist das Taktsignal 0, haben Änderungen an R oder S keine Auswirkungen auf den Ausgang
- Alternativ ist auch ein **flankengesteuertes** Flipflop möglich
 - Hier werden Änderungen nur übernommen, wenn das Taktsignal von 0 auf 1 (oder andersrum) wechselt

Analyse (2)



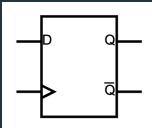
D-Flipflop (1)

Aufbau eines D-Flipflops mit taktgesteuertem RS-Flipflop:



Das D-Flipflop ist also ein RS-Flipflop, bei dem R und S stets invers zueinander sind

- Symbol:



D-Flipflop (2)

- Das hier dargestellte D-Flipflop ist ebenfalls pegelgesteuert
 - Ist das Taktsignal 1 ist, kann der gespeicherte Wert gesetzt oder rückgesetzt werden
 - liegt am Eingang D eine 0 an, so wird der gespeicherte Wert zurückgesetzt (auf 0)
 - liegt am Eingang D eine 1 an, so wird der gespeicherte Wert gesetzt (auf 1)
 - Ist das Taktsignal 0, so wird der zuletzt gesetzte Wert gehalten/gespeichert
- Ein flankengesteuertes D-Flipflop lässt sich aus zwei pegelgesteuerten D-Flipflops realisieren